

61048256 62206878

1 of 1 DOCUMENT

COPYRIGHT: 1987, JPO & Japio

PATENT ABSTRACTS OF JAPAN

62206878

September 11, 1987

SOLID-STATE IMAGE PICKUP ELEMENT

INVENTOR: ONO HIDEYUKI; ANDO HARUHISA; TSUKADA TOSHIRO

APPL-NO: 61048256

FILED-DATE: March 7, 1986

ASSIGNEE-AT-ISSUE: HITACHI LTD

PUB-TYPE: September 11, 1987 - Un-examined patent application (A)

PUB-COUNTRY: Japan (JP)

IPC-MAIN-CL: H 01L027#14

IPC ADDL CL: H 04N005#335

ENGLISH-ABST:

PURPOSE: To inhibit the generation of an alias signal with the variation of a well without altering substrate structure while preventing the generation of a novel false signal by forming a well electrode in a picture element array.

CONSTITUTION: Points constituting a picture element by a vertical scanning line 46, a vertical signal line 45, an opening section 48 and an active region 43 is made the same as conventional devices, and well electrodes 44 and wirings 47 for fixing the potential of the well electrodes 44 at well potential are added at every picture element. Accordingly, the well electrodes 44 are shaped at every picture element, thus inhibiting the generation of a false signal with the variation of a well without changing substrate structure.

BEST AVAILABLE COPY

⑱ 公開特許公報 (A) 昭62-206878

⑲ Int.Cl.

H 01 L 27/14
H 04 N 5/335

識別記号

府内整理番号

7525-5F
E-8420-5C

⑳ 公開 昭和62年(1987)9月11日

審査請求 未請求 発明の数 1 (全8頁)

㉑ 発明の名称 固体撮像素子

㉒ 特願 昭61-48256

㉓ 出願 昭61(1986)3月7日

㉔ 発明者 小野 秀行 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉕ 発明者 安藤 治久 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉖ 発明者 塚田 敏郎 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉗ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉘ 代理人 弁理士 中村 純之助

明細書

1. 発明の名称

固体撮像素子

2. 特許請求の範囲

1. 半導体基板上のウェル層内に形成した光電変換素子及びスイッチ素子から成る画素のアレーと、この画素のアレーを走査する水平及び垂直走査素子を有する固体撮像素子において、上記ウェル層に電圧を印加する電極が上記アレー内に設けられていることを特徴とする固体撮像素子。

2. 前記電極が画素ごとに設けられていることを特徴とする特許請求の範囲第1項記載の固体撮像素子。

3. 前記電極がカラーフィルターピッチごとに設けられていることを特徴とする特許請求の範囲第1項記載の固体撮像素子。

4. 前記ウェル層に電圧を印加する電極は、前記ウェル層と同じ導電型でウェル層に接続された

不純物層を表面にもつ前記光電変換素子上にあることを特徴とする特許請求の範囲第1項記載の固体撮像素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はウェル層をもつ固体撮像素子に係り、特に、疑似信号の発生を防止するのに好適な固体撮像素子に関するものである。

(従来の技術)

従来の固体撮像素子においては、N形Si基板上に形成したP形ウェル層内にホトダイオードアレーと走査回路等を形成している。そのためウェル層の不純物濃度は $10^{15} \sim 10^{16} \text{ cm}^{-3}$ に制限され、ウェル層抵抗が高い。その結果、動作時の受光部内のウェル層電位変動が、時定数が大きいために安定せず、疑似信号が発生し、問題となっていた。

この問題の対策としては、従来第18図に示すような素子が知られている(特開昭53-138680号参照)。第18図は固体撮像素子の受光部断面を示すもので、11はN形(不純物濃度 $10^{14} \sim 10^{15} \text{ cm}^{-3}$)

Si 基板であり、12はP形ウェル層 ($10^{14} \sim 10^{15}$ cm⁻²)、13は高濃度P形層 (P⁺層、 $10^{16} \sim 10^{17}$ cm⁻²)である。14、15はP形ウェル層の電極取り出し用高濃度P形層である。16の領域はホトダイオード17、垂直スイッチMOSのゲート18及び垂直スイッチMOSのドレイン19よりなる画素を2次元状に配置した受光部の領域である。図示の深さ方向での位置20~21間のP形Si不純物濃度分布は第19図のようになっている。P⁺層13はP形ウェル層12の抵抗を約2桁も小さくし、ウェル層の電位の安定化を可能にしている。

しかしながら、この構造では、ホトダイオード17の下部にあるウェル内で光により発生した電荷の一部は横方向に拡散し高濃度^{P形層}13のためにSi基板11には流れず効率良くドレイン19に流入し、その結果、スマア等の疑似信号が発生する。すなわち、基板11内の不純物等の形状を変化させることによりウェル層の電位の安定化を行うと、上述のように、新たにスマア等の疑似信号が発生するという副作用があった。

本発明では、半導体基板上のウェル層内に形成した光電変換素子及びスイッチ素子から成る画素のアレーと、この画素のアレーを走査する水平及び垂直走査素子を有する固体撮像素子において、上記ウェル層に電圧を印加する電極をアレー内に設けた構成とすることで上記問題点を解決する。

[作用]

第20図に、絶縁ゲート型電界効果トランジスタ(以下MOSFETと略す)を用いた従来の固体撮像素子の要部回路図を示す。この素子の動作原理を概説する。まず、垂直走査回路31により垂直走査線36が選択され、垂直MOSトランジスタスイッチ34をオン状態にして、画素33に貯えられた信号電荷を垂直信号線37に転送する。次に水平走査回路32により水平走査線30が選択され、水平MOSトランジスタスイッチ35をオン状態にして、垂直信号線37に蓄積されていた信号電荷を水平信号線38に転送し、出力端39より外部へ読み出す。なお、40は出力抵抗、41はビデオ電源である。破線で囲んだ42は一画素を示す。

[発明が解決しようとする問題点]

2次元固体撮像素子はN形Si基板上のP形ウェル層内にホトダイオードアレーを形成し、このP形ウェル層の電極はアレー周辺で取り出される。このため、アレー内部のウェル電位は、ウェル層抵抗とウェル・基板間容量との時定数で外部ウェル電極電位に固定される。現在、この時定数が信号の読み出し時間に対して無視できず、駆動用の諸パルスによりにせ信号や誤動作が発生している。にせ信号等の発生原因である上記の時定数を小さくするために、従来技術では、例えば前述のようにウェル層下に低抵抗の高濃度不純物層を形成する等の方法をとっていたが、この方法ではスマア等の疑似信号等が発生するという問題点があった。

本発明は従来技術での上記した問題点を解決しようとするもので、本発明の目的は、ウェル層を含む基板内の構造を変化させずに、にせ信号等の発生原因である上述の時定数を低下することができる固体撮像素子を提供することにある。

[問題点を解決するための手段]

この画素部分は、第18図に受光部断面を示したように、N形Si基板上のP形ウェル層内にホトダイオードアレーを形成し、そして、従来はこのP形ウェル層の電極は、アレー周辺から取り出して、外部ウェル電極電位に固定する構成であったので、前述したように、ウェル変動に伴なうにせ信号の発生などの問題点を生じていた。

これに対し、本発明では、ホトダイオードアレー内にウェル電極を設ける構成であるので、ウェル変動に伴なうにせ信号の発生が抑えられ、しかも、基板構造を変えることなく実現することができる。

[実施例]

第1図に本発明の一実施例の平面レイアウト図を示す。これは、第20図の中から一画素42を抜き出し、それに本発明を適用したものである。垂直走査線46、垂直信号線45、開口部48およびアクティブ領域43によって画素を構成する点は従来と同じであるが、本実施例では、各画素ごとにウェル電極44と、その電位をウェル電位に固定するため

の配線47がさらに付加される。なお、43~47は各々、 n^+ 拡散層(斜線部)、一層アルミニウム(M)とウェル層とのコンタクト、二層M、多結晶Siゲートを示している。本実施例によれば、画素ごとにウェル電極44を設けることにより、基板構造を変えることなくウェル変動に伴なう疑似信号の発生を抑制することができる。

第2図に本発明の他の実施例平面レイアウト図を示す。本実施例が第1図実施例と異なる点は、ウェル電極51およびその電位をウェル電位に固定するための配線52を遮光部に設けている点にある。本実施例によれば、アクティブ領域49、開口部50を変化させることなく、したがって画素の感度を変化させることなく、画素ごとにウェル電極を設けることができ、ウェル変動に伴なうにせ信号の発生を抑圧することができる。

本発明の他の実施例を第3図を用いて説明する。これは、一画素を例にとりその断面図を示したものである。第3図において、54はN形基板、53はP形ウェル層、55はホトダイオード、56は受光部、

より、ほとんど入射光の減衰なくウェル変動に伴なうにせ信号の発生を抑圧することができる。また、受光部56表面上にP形層58を設けたことによる新らたな疑似信号の発生もない。

第5図に本発明の他の実施例断面図を示す。本実施例が第4図実施例と異なるところは、ウェル電極65を受光部56の周辺でとったことにある。本実施例によれば、ウェル電極65を受光部56の周辺でとることにより、第4図実施例の場合よりさらに入射光の減衰をなくすことができ、ウェル変動に伴なうにせ信号の発生を抑圧することができる。

本発明の他の実施例を第6図を用いて説明する。第6図は第17図の中から一画素42を抜き出し、それに本発明を適用したものの平面図である。本実施例が第3図、第5図実施例と異なるところは、ウェル電極およびその配線66が受光部68を除く中抜きパターンとなっていることがある。本実施例によれば、ウェル電極およびその配線66を中抜きパターンとすることによりウェル配線の抵抗を下げることができる。また、ウェル電極を各画素ご

57は遮光部、58はP形層、59はウェル電極、60はチャネルストップ、61は走査線・信号線部、62は層間絶縁膜をそれぞれ示す。本実施例の特徴は、ホトダイオード55上の全面あるいは一部にP形ウェル層53と導通したP形層58を設けることにより、受光部56表面より、遮光M2やシリサイドやメタルで形成されるウェル電極59をとったところにある。本実施例によれば、受光部56端でウェル電極をとることにより、開口部面積をあまり狭めることなく、ウェル変動に伴なうにせ信号の発生を抑圧することができ、また、受光部56表面にP形層58を設けたことによる新らたな疑似信号の発生もない。

第4図に本発明の他の実施例断面図を示す。第4図が第3図と異なるところは、遮光M2やシリサイドやメタル等63に接続された、薄い多結晶SiやシリサイドあるいはITO(インジウム・ティン・オキサイド)などで形成される透明電極64により、受光部56の全面あるいは一部でウェル電極をとったところにある。本実施例によれば、透明電極64で受光部56上にウェル電極をとることに

とに設けたことでウェル変動に伴なうにせ信号の発生を抑圧することができる。なお、67は走査線・信号線部である。

本発明の他の実施例を、一画素分の平面図として第7図に示す。本実施例が第4図実施例と異なるところは、ウェル電極の配線69が全ての走査線・信号線部67上にあることである。本実施例によれば、ウェル電極の配線68をメッシュ状に走らせたことにより、ウェル電極の配線69の抵抗を下げることができる。また、各画素ごとにウェル電極が設けられたことで、他の実施例の場合と同様に、ウェル変動に伴なうにせ信号の発生を抑圧することができる。なお、70は薄い多結晶SiやシリサイドあるいはITO等の透明電極である。

本発明の他の実施例を第8図、第9図を用いて説明する。第8図は特開昭59-144278号公報に示されているMOS形固体撮像素子の回路図である。第8回路は次のように動作する。まず、垂直走査回路71により垂直走査線76が選択され、垂直MOSトランジスタスイッチ74をオン状態にする。

次いで、水平走査回路72により水平走査線77が選択され、水平MOSトランジスタスイッチ75をオン状態にし、画素73に貯えられていた信号電荷を水平信号線78、垂直信号線79、プリアンプ82を経て出力83へ読み出す。80は出力抵抗、81はビデオ電源、84はインターレース・スイッチである。

第8図従来回路の一画素を例にとり、本発明を適用した実施例平面図が第9図である。本実施例の場合も第1図と同じく、画素ごとにウェル電極88を設けることにより、基板構造を変えることなくウェル変動に伴なうにせ信号の発生を抑圧することができる。なお、86はウェル電極の配線、87はn⁺拡散層、85は走査線・信号線部を示している。第8図従来回路のMOS形固体撮像素子にも、第3～7図に示した実施例構成を、全く同様に適用することができる。

本発明はCCD (Charge Coupled Device) 形固体撮像素子にも勿論適用することができる。第10図は従来のCCD形固体撮像素子の一回路例を示したものである。ここで、89はホトダイオード

形層58を設けたことによる新らたな疑似信号の発生もない。ここで、102はCCDチャネル、103はチャネルストッパー、104は転送ゲートである。

第10図に示したCCD形固体撮像素子にも、第6図、第7図に示す本発明実施例を全く同様に適用することができる。

今までではウェル電極を各画素ごとに設ける場合について述べてきたが、ウェル電極を何画素かごとに設ける場合についても全く同じ理由で基板構造を変えることなくウェル変動に伴なうにせ信号の発生を抑圧することができる。たとえば第1図に示す本発明の一実施例を2画素ごとに適用した実施例平面図を第15図に示す。ここで、110～114は各々、n⁺拡散層（斜線部）、ウェル層とのコントラクト、一層A₁、多結晶Siゲート、二層A₂を示している。なお、115、116は開口部である。

第15図に示す本発明の実施例では2画素ごとにウェル電極を設けた場合について述べたが、任意の画素ごとあるいは任意の画素にウェル電極を設けた場合でも基板構造を変えることなくウェル変

ド、90は読み出し用MOSトランジスタスイッチ、91は垂直走査線、92は垂直CCDシフトレジスタ、93は出力アンプ、94は水平CCDシフトレジスタ、95は画素、矢印は信号電荷の転送方向を示している。第10図に示す従来のCCD形固体撮像素子に本発明に適用した実施例を第11図に示す。これは、一画素を例にとりその平面レイアウト図を示したものである。ここで、96はウェル電極、97はアクティブ領域、98は垂直CCDシフトレジスタ、99は読み出し用MOSトランジスタスイッチ、100はウェル電極の配線、101はホトダイオードを示している。本実施例の場合も第1図の場合と同様、画素ごとにウェル電極96を設けることにより基板構造を変えることなく、ウェル変動に伴なうにせ信号の発生を抑圧することができる。

本発明の他の実施例を、第12図、第13図、第14図に断面図で示す。第12～14図実施例の場合も第3～5図の場合と同様、開口をほとんど犠牲にすることなく、ウェル変動に伴なうにせ信号の発生を抑圧することができる。また受光部56表面にP

動に伴なうにせ信号の発生を抑圧することができる。また、第2～7、9、11～14図に示す本発明の一実施例を任意の画素ごとあるいは任意の画素に適用した場合も同様にウェル変動に伴なうにせ信号の発生を抑圧することができる。

本発明の他の実施例を第16図、第17図に示す。本実施例が第1図実施例と異なる点は、カラーフィルターピッチごとにウェル電極111を設けている点にある。第16図において例えば画素117～120上に各々ホワイト（全て透過）、グリーン、シャン（ブルーとグリーン透過）、イエロー（レッドとグリーン透過）のカラーフィルターが設けられており、また第17図において例えば画素121～126上に各々、レッド、ブルー、グリーン、レッド、ブルー、グリーンのカラーフィルターが設けられている。カラー用固体撮像素子においてはカラーフィルターピッチごと、たとえば第16図では4画素また第17図では3画素ごとに出力信号を出すため、ウェル電極をもつ画素ともたない画素と2種類の画素をもつことによる画素の不均一性にもと

づくにせ信号を除くことができる。またこの場合も基板構造を変えることなくウェル変動に伴なうにせ信号の発生を抑圧することができる。なお第16図、第17図ではカラーフィルターピッチごとに1個のウェル電極を設けてある場合を示したが、複数個のウェル電極が設けられていてもよい。また、第2~7、9、11~14図に示す本発明の一実施例をカラーフィルターピッチごとの画素に適用した場合も同様に、画素の不均一性にもとづくにせ信号の発生を抑えると共にウェル変動に伴なうにせ信号を除くことができる。

〔発明の効果〕

本発明によれば、画素アレー内にウェル電極を設ける構成とすることにより、従来の画素アレー周辺部だけにウェル電極を設ける場合に比べて、基板構造を変えることなくウェル変動に伴なうにせ信号の発生を抑えることができ、また新たなる疑似信号の発生を防止することができる。

4. 図面の簡単な説明

第1図、第2図、第6図、第7図、第9図、第

11図はそれぞれ本発明の実施例を示す平面レイアウト図、第3図、第4図、第5図、第12図、第13図、第14図、第15図、第16図、第17図はそれぞれ本発明の実施例を示す断面図、第8図、第10図、第20図は従来の固体撮像素子の回路図、第18図、第19図は従来技術の説明図である。

<符号の説明>

44、51、59、64、65、66、70、88、96
…ウェル電極

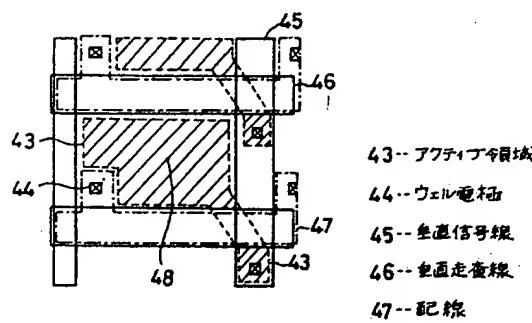
47、52、63、69、86、100…ウェル電極の配線

53…P形ウェル層

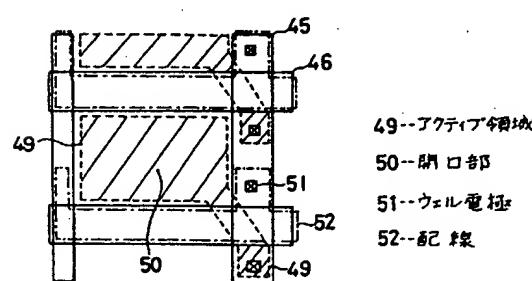
58…P形層

代理人 弁理士 中村純之助

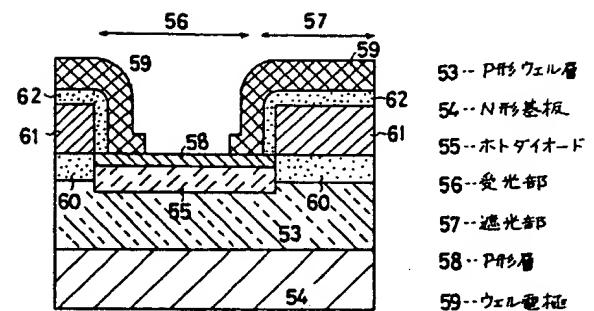
第1図



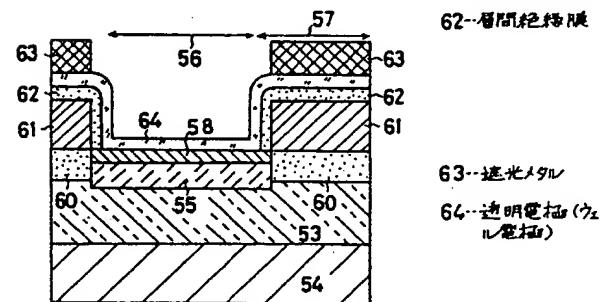
第2図



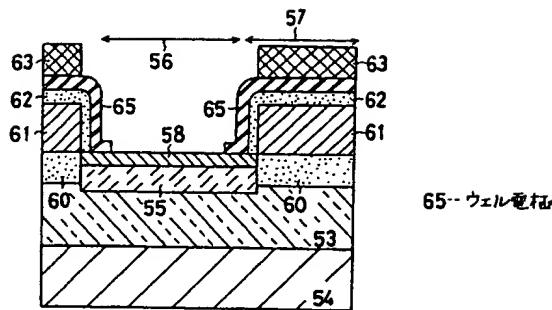
第3図



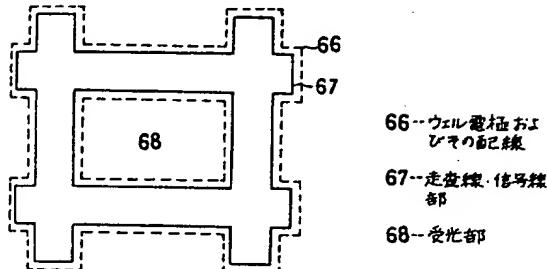
第4図



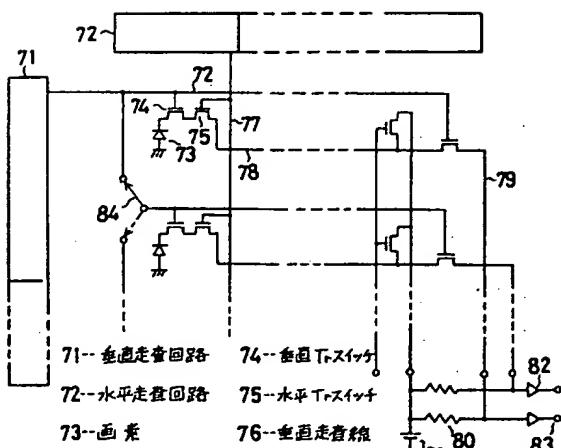
第 5 図



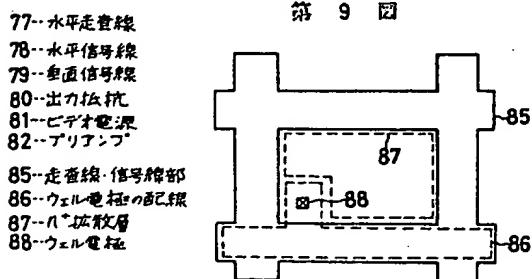
第 6 図



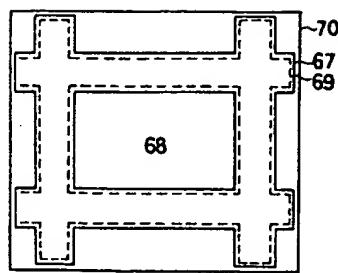
第 8 図



第 9 図

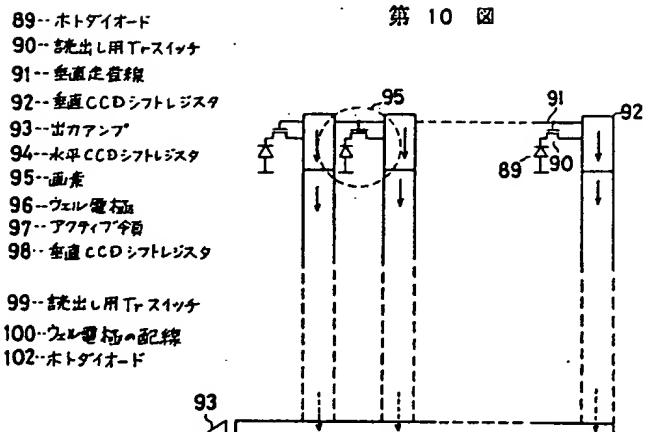


第 7 図

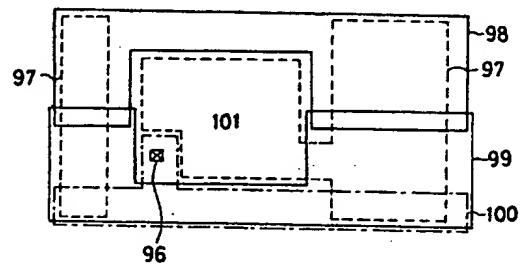


67--走査線・信号線部
68--受光部
69--ウェル電極の配線
70--透明電極(ウェル電極)

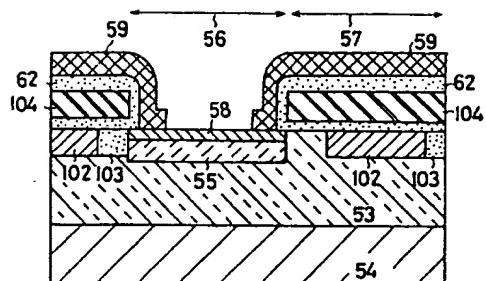
第 10 図



第 11 図

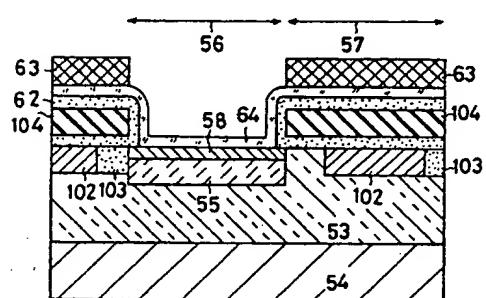


第12図

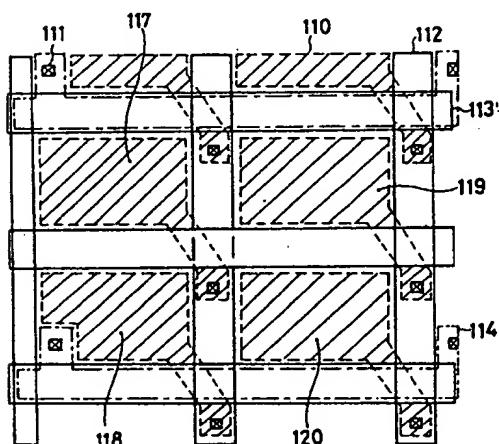


第13図

102--CCDチャンネル
103--チャンネルストップ
104--転送ゲート

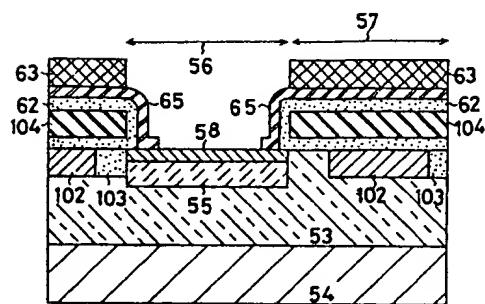


第16図



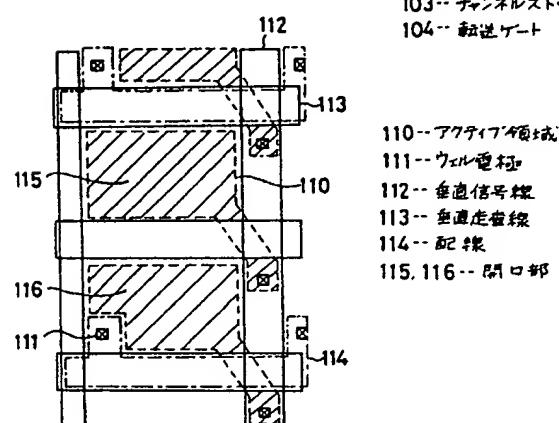
110--アクティブ垂直線
111--ウェル電極
112--垂直信号線
113--垂直走査線
114--配線
117--120--開口部

第14図

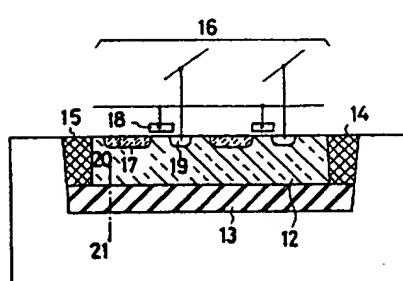


第15図

102--CCDチャンネル
103--チャンネルストップ
104--転送ゲート

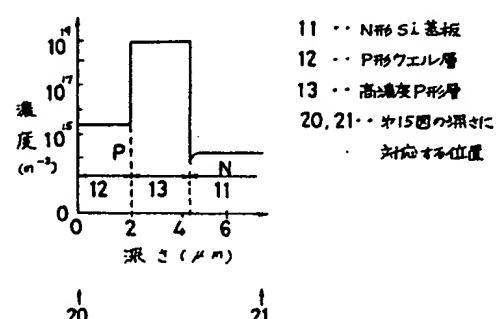


第18図

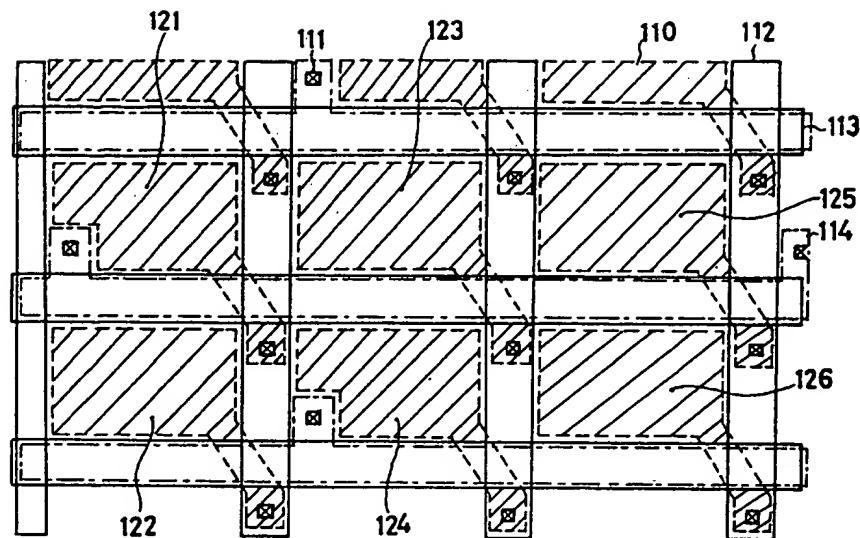


11--N形SL基板
12--P形ウエル層
13--高濃度P形層
14, 15--電極取り出し用高濃度P形層
16--受光部領域
17--ホトタイオード
18--ゲート
19--ドレイン
20, 21--#15図の用さに
対応する位置

第19図

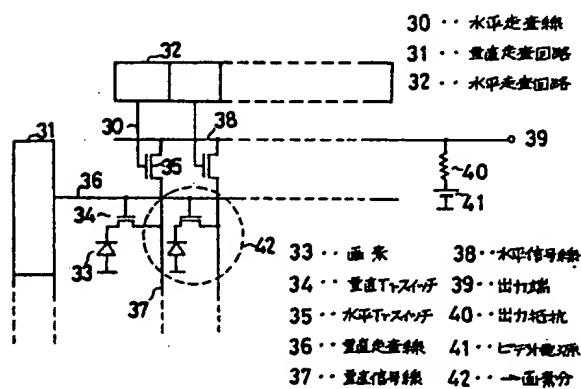


第17図



110--アクティブ領域
 111--ウェル電極
 112--垂直信号線
 113--垂直走査線
 114--配線
 121~126--開口部

第20図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.